

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-070059

(43)Date of publication of application : 12.03.1996

(51)Int.Cl.

H01L 23/04

H01L 23/50

(21)Application number : 07-198665

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 03.08.1995

(72)Inventor : KWEON YOUNG DO

(30)Priority

Priority number : 94 9420086

Priority date : 16.08.1994

Priority country : KR

95 9519636

05.07.1995

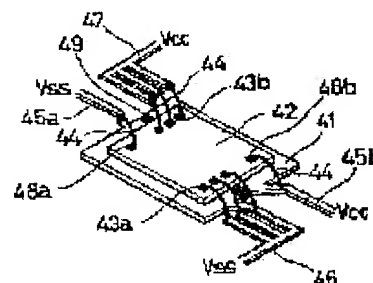
KR

## (54) SEMICONDUCTOR PACKAGE WITH SEPARATE DIE PAD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce noise in a semiconductor package product by a meted wherein a lead frame is decreased in inductance.

SOLUTION: A die pad in which a semiconductor chip 42 is mounted is split into two or more sub-pads, the sub-pads are mechanically jointed together with non-conductive bonding means 49 such as acrylic resin, epoxy resin, silicone resin or polyimide resin to prevent adhesive agent from flowing out, and a power supply voltage Vcc and a ground voltage Vss are supplied through the split die sub-pads, so that a semiconductor package of this constitution can be reduced in noise. The non-conductive resin which bond the sub-pads together has the same effect as a capacitor connected between the split sub-pads, a laminated capacitor can be used so as to be controlled in capacitance value, and holes are bored in the split die sub-pads after a molding process for enhancing a binding power between molding resin and the semiconductor chip 42.



## LEGAL STATUS

[Date of request for examination]

03.08.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70059

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl.<sup>6</sup>H 0 1 L 23/04  
23/50

識別記号

E  
K

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平7-198665

(22) 出願日 平成7年(1995)8月3日

(31) 優先権主張番号 1994-20086

(32) 優先日 1994年8月16日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 1995-19636

(32) 優先日 1995年7月5日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 權 寧 度

大韓民国ソウル特別市蘆原区上溪洞住公ア

パートメント1608-1404

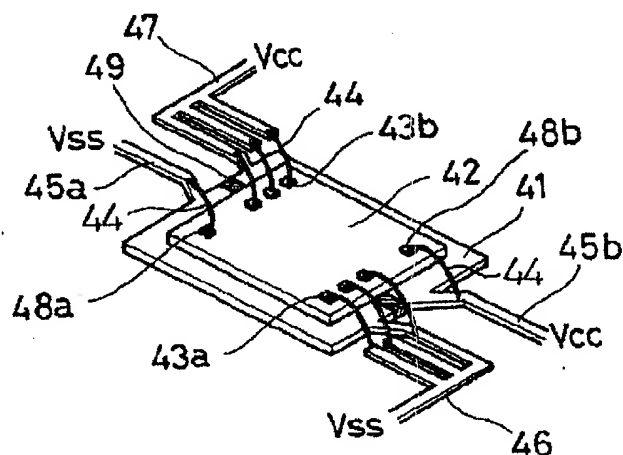
(74) 代理人 弁理士 三好 秀和 (外1名)

(54) 【発明の名称】 分離されたダイパッドを有する半導体パッケージ

(57) 【要約】

【課題】 リードフレームのインダクタンスの成分を減らして半導体パッケージ製品のノイズを減らすことにある。

【解決手段】 半導体チップ42が付着されるダイパッド41は少なくとも2個以上に分離されており、その分離された部分は非伝導性の結合手段49、例えばアクリル樹脂、エポキシ樹脂、シリコン樹脂またはポリイミド樹脂によって機械的に結合されてあって、接着剤の流出を防止することができ、分離されたダイパッドのそれぞれを通じて電源電圧Vccと接地電圧Vssを供給してノイズを減らすことができる。非伝導性樹脂は前記分離されたダイパッド間にキャパシターを連結したものと同一効果を示しているが、この容量値の制御のために積層形キャパシターを使用することもでき、前記分離されたダイパッドはモールドイング工程後にモールド樹脂と前記半導体チップの結合力を高めるために孔が形成されていることも分かる。



## 【特許請求の範囲】

【請求項1】 複数のボンディングパッドを有する半導体チップと、非伝導性の接着剤を使用して前記半導体チップを実装するダイパッドと前記ボンディングパッドとを電氣的に連結させる複数の内部リードおよび外部リードを有するリードフレームを具備する半導体パッケージにおいて、前記ダイパッドは少なくとも2個以上に分離されており、その分離された前記ダイパッドは非伝導性の結合手段によって機械的に結合されていることを特徴とする半導体パッケージ。

【請求項2】 前記非伝導性の結合手段はアクリル樹脂、エポキシ樹脂、シリコン樹脂またはポリイミド樹脂中のうちのいずれかであることを特徴とする請求項1記載の半導体パッケージ。

【請求項3】 前記ダイパッドは第1ダイパッド領域と第2ダイパッド領域に分離され、前記第1ダイパッド領域は接地電源端子と連結され、前記第2ダイパッド領域は電源電圧端子と連結されることを特徴とする請求項1記載の半導体パッケージ。

【請求項4】 前記ボンディングパッドと内部リードの電氣的な連結はボンディングワイヤによって行なわれており、前記分離されたダイパッドの表面と前記内部リードの表面には前記内部リードの材質より電気伝導性が高い金属膜が塗布されていることを特徴とする請求項1記載の半導体パッケージ。

【請求項5】 前記内部リードは合金42であり、前記金属膜は銀であることを特徴とする請求項4記載の半導体パッケージ。

【請求項6】 前記接地電源端子と電源電圧端子は半導体チップのボンディングパッドにも連結されることを特徴とする請求項3記載の半導体パッケージ。

【請求項7】 前記分離されたダイパッドは少なくとも一つ以上の孔を有することを特徴とする請求項1記載の半導体パッケージ。

【請求項8】 前記分離されたダイパッドの非伝導性の結合手段は積層形キャパシタであることを特徴とする請求項1または請求項7記載の半導体パッケージ。

【請求項9】 前記非伝導性の結合手段はアクリル樹脂、エポキシ樹脂、シリコン樹脂またはポリイミド樹脂中のうちのいずれかであることを特徴とする請求項8記載の半導体パッケージ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は分離されたダイパッドを有する半導体パッケージに関するもので、より詳細には前記半導体パッケージのダイパッドを分離し、その前記分離されたダイパッドを非伝導性の樹脂または積層形キャパシタによってカップリングすることによって接着剤の漏出を防止しノイズを減らすことができる前記

分離されたダイパッドを有する半導体パッケージに関する。

## 【0002】

【従来の技術】 個人用コンピュータ等に高密度の実装のためにモジュールパッケージ及び表面実装形パッケージの小形化および薄形化が行なわれている。これにตอบสนองしてTSOP (Thin Small Outline Package), UT SOP (Ultra Thin Small Outline Package) 等の小形・薄形パッケージが開発されており、その大部分が主記憶装置に使用されている。半導体回路の2次元面からそれぞれの要素および配線を微細に形成し前記半導体チップの単位面積の当りの素子の数を増加させることによって高集積化が実現されることができ、半導体素子の高集積化が一層進行されることにより素子の性能を改善させるためにもっと迅速な速度に同時に出力駆動回路をスイッチングする必要が生ずるようになった。このようなスイッチング速度の増加はそれによる電氣的なノイズの増加を誘発することになり、特に入・出力ピンの数が多数の程その様相は多様である。

【0003】 ノイズは $\Delta V = L (di/dt)$ により表わすことができ、このとき $\Delta V$ はノイズの大きさ、 $L$ はインダクタンス、 $di$ は微少の電流変化量、 $dt$ は微少の時間変化量を示す。この式によって理解することができるように前記ノイズを減らすためにはインダクタンス $L$ を減らす方法と電流の変化率 $di/dt$ を減らす方法を考慮することができる。

【0004】 ところが、電流の変化率は半導体素子の速度と関連のある変数であるので、素子の高速化により自然に増加される。したがって、前記インダクタンスをそれ程減らすときにのみ現状を維持するとかノイズを減らすことができる。

【0005】 前記半導体素子の前記インダクタンス成分は、主に前記リードフレームや半導体チップとリードフレームを電氣的に連結する手段、例えばボンディングワイヤ、ハンパ等によって支配される。一般的なプラスチックパッケージにおいては合金42、OLIN194等のリードフレーム材料を使用するか金線を使用する等前記リードフレームと連結手段の材質が定められているので、前記リードフレームの設計や金線の連結方法により前記インダクタンスの値を変えることができる。

【0006】 図9は従来技術による前記半導体パッケージの一つの実施例を示した斜視図である。

【0007】 図9の前記パッケージは所謂コーナーパワー型の半導体パッケージとして、前記リードフレームの前記ダイパッド11上に半導体チップ12が接着されている。前記半導体チップ12の両側のコーナーにはボンディングパッド13a、13bが形成されており、これらのボンディングパッド13a、13bは、接地電源供給端子（以下、Vssという）と連結されている内部リード16および素子電源供給端子（以下、Vccとい

う)と連結されている内部リード17に金や銅のワイヤ14によって電氣的に連結されている。前記リードフレームの前記ダイパッド11に連結されているタイバー15a, 15bは前記半導体チップ12がP型であるときはVssに連結され、N型であるときはVccに連結される。

【0008】しかし、前記VccとVssは多数個の前記ワイヤ14が並列に連結されているが、ボンディングパッドがコーナーにあるので、このワイヤの長さが長い。ため前記インダクタンスを減少らすには限界がある。

【0009】図10は従来技術によるセンターパワー型の前記半導体パッケージを示した斜視図である。前記リードフレームのダイパッド21上に半導体チップ22が接着されており、この半導体チップの両側面の中央にはボンディングパッド23a, 23bが形成されている。これらのボンディングパッド23a, 23bは、前記Vssと連結されている内部リード26a, 26bおよび前記Vccと連結されている内部リード27a, 27bに金や銅のワイヤ24によって電氣的に連結されている。

【0010】また、前記リードフレームの前記ダイパッド21に連結されている前記タイバー25a, 25bは前記半導体チップ22がP型であるときは前記Vssに連結され、N型であるときは前記Vccに連結される。

【0011】したがって、以上のような従来の半導体パッケージは、リードが電源端子Vcc, Vssに連結される前記内部リード26a, 26b, 27a, 27bを前記半導体チップ22の中央に設置して可能な限り構造的に内部リードの長さを減らすことによってノイズを減少させる効果があるが、半導体素子の速度の増加に因るノイズの増加を堪当することには不足な点が多である。

【0012】図11は図9および図10の問題点を解決するための従来技術による分離されたダイパッドを有する半導体パッケージを示した断面図である。

【0013】図11を参照すると、前記リードフレームのダイパッド31上に接着剤32によって接着されている半導体チップ33は、金または銅ボンディングワイヤ34によってリードフレームの内部リード35と電氣的に連結されている。前記半導体チップ33およびダイパッド31を湿気や熱等の外部の環境から保護のために樹脂36によってモールドイングし、外部リード37は印刷回路基板(図示せず)に実装するのに適合な形態に、例えばJ形態に折曲・形成する。ノイズを減らすために前記ダイパッド31は、切断部39によって二つに分離されており、両方のダイパッドのそれぞれには前記Vcc, Vssが連結されている。

【0014】

【発明が解決しようとする課題】ところで、このようなダイパッドを使用すると前記半導体チップに供給される

電源の電力が分配されるので、前記半導体パッケージのノイズを相殺的に減らすことができる長所がある反面、ダイボンディング工程時に前記ダイパッド31と半導体チップ33を接着する物質である前記接着剤32は前記切断部39に流出され、結局モールドイングされた樹脂36に亀裂39aを発生させてパッケージの不良の原因を提供する短所がある。

【0015】本発明は上記のような従来技術の問題点を解決するためのもので、本発明の目的は半導体パッケージのダイパッドを少なくとも2個以上に分離し、その分離された部分を樹脂や積層形キャパシターによってカップリングすることによってノイズが微少であり、半導体パッケージの信頼性を向上する分離されたダイパッドを有する半導体パッケージを提供することにある。

【0016】

【課題を解決するための手段】請求項1記載の第1の発明は、複数のボンディングパッドを有する半導体チップと、非伝導性の接着剤を使用して前記半導体チップを実装するダイパッドと前記ボンディングパッドとを電氣的に連結させる複数の内部リードおよび外部リードを有するリードフレームを具備する半導体パッケージにおいて、前記ダイパッドは少なくとも2個以上に分離されており、その分離された前記ダイパッドは非伝導性の結合手段によって機械的に結合されていることを要旨とする。従って、ノイズを微少にして、半導体パッケージの信頼性を向上できる。請求項2記載の第2の発明は、前記非伝導性の結合手段はアクリル樹脂、エポキシ樹脂、シリコン樹脂またはポリイミド樹脂内のうちのいずれかであることを要旨とする。従って、分離されたダイパッドの分離効果を増大できる。

【0017】請求項3記載の第3の発明は、前記ダイパッドは第1ダイパッド領域と第2ダイパッド領域に分離され、前記第1ダイパッド領域は接地電源端子と連結され、前記第2ダイパッド領域は電源電圧端子と連結されることを要旨とする。

【0018】請求項4記載の第4の発明は、前記ボンディングパッドと内部リードの電氣的な連結はボンディングワイヤによって行なわれており、前記分離されたダイパッドの表面と前記内部リードの表面には前記内部リードの材質により電気伝導性が高い金属膜が塗布されていることを要旨とする。従って、大部分の電流は表皮効果によって銀鍍金のみで流して合金42をリードフレームとして使用しながらも高い電気伝導度を得ることができる。

【0019】請求項5記載の第5の発明は、前記内部リードは合金42であり、前記金属膜は銀であることを要旨とする。従って、パッケージの亀裂を防止できる。

【0020】請求項6記載の第6の発明は、前記接地電源端子と電源電圧端子は半導体チップのボンディングパッドにも連結されることを要旨とする。従って、外部電

源端子から内部電源端子に入ってくる経路を多数個並列に連結されるようにすることによってノイズを減少させる効果がより増大される。

【0021】請求項7記載の第7の発明は、前記分離されたダイパッドは少なくとも一つ以上の孔を有することを要旨とする。従って、リフロー工程を通じて半導体パッケージを印刷回路基板等に実装するとき吸湿による蒸気の膨脹に起因した応力を緩和してパッケージ亀裂を防止することができる。

【0022】請求項8記載の第8の発明は、前記分離されたダイパッドの非伝導性の結合手段は積層形キャパシタであることを要旨とする。従って、前記リードフレームの製造工程の初期に願う容量値をもつように電極から突出された導体板の個数または間隔、重ねる部分の面積を調節するとよいので、ノイズを効果的に減らすことができる。

【0023】請求項9記載の第9の発明は、前記非伝導性の結合手段はアクリル樹脂、エポキシ樹脂、シリコン樹脂またはポリイミド樹脂中のうちのいずれかであることを要旨とする。従って、分離されたダイパッドの分離効果を増大できる。

【0024】

【発明の実施の形態】以下、添付の図面を参照して本発明による半導体パッケージの実施例を詳細に説明する。

【0025】以下の説明から前記半導体チップのボンディングパッドは電源Vcc、Vssを供給するために必要なボンディングパッドのみ図示して説明する。

【0026】図1は本発明による前記分離されたダイパッドを使用した前記半導体パッケージの一つの実施例を示した斜視図である。

【0027】図1を参照すると、コーナーパワー型の前記半導体パッケージは、前記リードフレームの前記分離されたダイパッド41上に半導体チップ42が接着されており、前記半導体チップ42の図中上部の両側コーナーにはボンディングパッド43a、43b、48a、48bが形成されており、図9の従来例と比較してみると、前記ボンディングパッド43aはワイヤ44と内部リード46を通じて外部Vss端子と連結されており、前記ボンディングパッド43bは前記ワイヤ44と内部リード47を通じて外部Vcc端子と連結されている。

【0028】また、前記ダイパッド41は2個に分離されており、この分離されたダイパッド41の一方の部分は前記内部リード46と連結されており、一方のタイバー45aはワイヤ44によって前記ボンディングパッド48aと連結されて前記半導体チップ42に接地電圧Vssを供給し、他方の部分は前記内部リード47と連結され、他方のタイバー45bはワイヤ44によって前記ボンディングパッド48bと連結されて前記半導体チップ42に電源電圧Vccを供給する。

【0029】ダイパッドを分離する部分にはモールディ

ング樹脂と熱膨脹率が類似なアクリル樹脂やエポキシ樹脂、シリコン樹脂またはポリイミド樹脂等の熱硬化性樹脂を満たして二つの部分を一体に接合し、このような熱硬化性樹脂は、分離されたダイパッド41の分離効果の増大のために非伝導性樹脂からなっている。

【0030】図2は図1の前記リードフレームを示した平面図である。

【0031】2個に分離されたそれぞれのダイパッド41は熱硬化性樹脂によって接着されており、接合された非伝導性樹脂49の断面は“I”形状となっているので、その分離された2個の分離されたダイパッド41が堅固に固定されるようになっている。このとき前記リードフレームの分離されたダイパッド41中の一つはVccに連結された前記タイバー45bおよび内部リード47と連結され、他の一つはVssに連結された前記タイバー45aおよび内部リード46と連結されるように分離されていることが分かる。

【0032】また、前記非伝導性樹脂49は、前記ダイパッド41の表面に露出された幅Wが最小限に20μm以上にすることによって前記分離されたダイパッド41の固定力を維持するようにし、樹脂の露出された部分の厚さHは最大限40μm以下にすることによってパッケージの全体の厚さを過度に増加させないようにすることがよい。

【0033】以上のような構造を有する本発明のコーナーパワー型のパッケージは分離されたダイパッドを通じて電源Vcc、Vssが供給されるのでノイズが微少であり、非伝導性の樹脂によって固定されているので、電気的な分離が確実であり、熱硬化性の樹脂を使用しているので、固定力が良好であり、ダイボンディング時に接着剤が漏出される念慮がないし、モールディングされる樹脂と熱膨脹率が類似な材料を使用しているので、パッケージの不良が減少される。

【0034】図3は本発明による半導体パッケージの他の実施例を示した斜視図である。

【0035】同図においては外部の電源供給端子との接続手段であるワイヤの長さを減らすためのセンターパワー型の半導体パッケージに対して説明する。

【0036】前記リードフレームの分離されたダイパッド51上に半導体チップ52が接着されており、前記半導体チップ52の図中上部の両側面の中央およびコーナーにはボンディングパッド53a、53b、58a、58bが形成されている。前記ボンディングパッド53aはワイヤ54を通じて内部リード56aと連結されて外部Vss端子と連結され、前記ボンディングパッド53bはワイヤを通じて前記内部リード56bと連結されて外部Vcc端子と連結される。前記分離されたダイパッド51の一方はタイバー55aと連結されているが、このタイバー55aと連結された前記半導体チップの前記ボンディングパッド58aにはVss電圧が供給され

る。また、前記分離されたダイパッドの他の一方はタイバー55bと連結されているが、このタイバー55bと連結された半導体チップの前記ボンディングパッド58bにはVcc電圧が供給される。

【0037】前記分離されたダイパッド51はモールドイング樹脂と熱膨脹率が類似なアクリル樹脂やエポキシ樹脂またはシリコン樹脂等の熱硬化性樹脂59によって一体に接合されており、この熱硬化性樹脂は前記ダイパッド51の分離効果の増大のために非伝導性樹脂を使用しなければならない。

【0038】図4は図3の半導体パッケージに使用される前記リードフレームを示した平面図である。

【0039】前記熱硬化性樹脂59は2個に分離されたそれぞれの前記ダイパッド51は熱硬化性樹脂59によって平面に接着されており、接合された樹脂59の断面は“I”形状となっているので、2個の前記分離されたダイパッド51が堅固に固定されるようになっている。このとき前記リードフレームの2個の前記分離されたダイパッド51中の一つはVccに連結されたコーナーと中央のタイバー55b、57b及びVssに連結された内部リード56aを包含し、他の一つはVssに連結されたコーナーと中央のタイバー55a、55bおよびVccに連結された内部リード56bに包含するように電気的に分離されていることが詳細に分かる。

【0040】また、前記熱硬化性樹脂59は前記分離されたダイパッド51の表面に露出された幅Wが最小限に20μm以上にすることによって前記分離されたダイパッド51の固定力を維持するようにし、樹脂の露出された部分の厚さHは最大限40μm以下にすることによってパッケージの全体の厚さを過度に増加させないようにすることがよい。

【0041】以上のような構造を有する半導体パッケージはリードが電源端子Vcc、Vssに連結される内部リードおよびタイバーを半導体チップの両方の中央に設置して可能な限り構造的にリードの長さを減らすばかりでなく、外部電源端子から内部電源端子に入ってくる経路を多数個並列に連結されるようにすることによってノイズを減少させる効果がより増大される。また図1の実施例と同様に、前記分離されたダイパッドが非伝導性樹脂によって固定されているので、電気的な分離が確実であり、熱硬化性樹脂を使用しているので固定力が良好であり、ダイボンディング時に接着剤が漏出される念慮がないし、モールドイングされる樹脂と熱膨脹率が類似な材料を使用しているため、パッケージの不良が減少される。

【0042】図5はダイパッドに多数個の貫通穴62を加工してパッケージ樹脂と半導体チップの接着力を強化させた構造を有する半導体パッケージに本発明を適用させた更に他の実施例である。前記貫通穴を有するダイパッドを使用するとモールドイング工程時にモールドイン

グ樹脂が貫通穴を通じて半導体チップの底面と直接接合するので、その接着力がずっと良好になるばかりでなく、リフロー工程を通じて半導体パッケージを印刷回路基板等を実装するとき吸湿による蒸気の膨脹に起因した応力を緩和してパッケージ亀裂を防止することができるという長所がある。図5からみるように、ダイパッドは3個のデカップリングキャパシター60によって二つの部分に分離されている。この分離されたダイパッドは3個のデカップリングキャパシターによって分離されているので、キャパシターの役割をする樹脂60のそれぞれの誘電率が小さくても、これらが並列に連結されてあって、全体キャパシターの容量は増大される。勿論、もっと大容量が必要であると3個以上のダイパッドに分離することもできるであろう。

【0043】図6は図5の構造を有する前記リードフレームを使用して半導体チップと電気的な連結をしたとき、外部電源電圧端子Vccと接地電源端子Vssとの間のインピーダンス成分の等価回路図である。

【0044】図6においては前記リードフレームと半導体チップを電気的に連結するボンディングワイヤ成分も考慮しているが、その中で半導体チップと内部リードを連結するワイヤはLw1に示しており（図1と図3においてはこのようなワイヤ3個であるが、同図では便宜上二つのみ表示する）、半導体チップとタイバーを連結するワイヤによるインダクタンス成分はLw2に示した。L<sub>L</sub>は前記リードフレームそのもののインダクタンス成分を示したものであり、前記リードフレームは貫通穴によって三つの部分に分けているので、L<sub>DP1</sub>、L<sub>DP2</sub>、L<sub>DP3</sub>にそれぞれ示した。上述のように非伝導性樹脂60によってキャパシタンスはCが3個並列連結されているので、キャパシターの全体の容量は3Cになる。R<sub>L</sub>は半導体チップ全体の抵抗を指称する。図6から分かるように、ダイパッドは分離されてあってインダクタンス成分が並列に連結されるので、全体インダクタンス値が減少され、分離されたダイパッドを結合する樹脂がキャパシターの役割をしているので、ノイズを相当に減らすことができる。

【0045】図7は本発明による前記リードフレームの更に他の実施例の斜視図である。

【0046】ダイパッドは75aと75bの2個に分離されており、その間には以前の熱硬化性樹脂とは異なり、積層形キャパシター70が差しこんでいる。これは樹脂によるキャパシターの容量値は願う水準まで合わせる事が難しい点を勘案したもので、積層形キャパシター70は2個の電極71、72から突出された多数個の導体が誘電物質73を間に置いてお互いに行き違った櫛模様に配列されている。このような積層形キャパシターを使用すると前記リードフレームの製造工程の初期に願う容量値をもつように電極71、72から突出された導体板の個数または間隔、重ねる部分の面積を調節するとよ

いので、ノイズを効果的に減らすことができる。

【0047】いままで説明した本発明のいろんな実施例による前記リードフレームに大きさが大きな大形半導体チップを実装する場合には下記の<表1>から分かるように一般的に熱膨脹係数が小さい合金42 (Alloy 42) を前記リードフレームの素材として使用してパッ

ケージの亀裂を防止する。しかし、合金42は電気伝導度が他の材料に比べて低く、半導体素子が動作中であるとき雑音の原因になることもある。これを克服するためには合金42の表面に銀鍍金をすることが望ましい。

【0048】

【表1】

材 料	熱膨脹計数 (25~300℃)	電気伝導度 (20℃)
銅系列 (Olin 194)	17.4	60% IACS
銅系列 (Olin 151)	17.4	90% IACS
合金42 (Fe+Ni,Ni 42%)	4.5	3.0% IACS
合金50 (Fe+Ni,Ni 50%)	10.0	4.1% IACS

<表1. 合金42の熱膨脹計数および電気伝導度>

図8 (A) と図8 (B) は合金42からなるリードフレーム80に銀鍍金する順序を示したものであるが、図8 (A) においては銀鍍金82を先にしてから樹脂または積層形キャパシター84を挿入したものであり、図8

(B) においては樹脂や積層形キャパシター84を差しこんでから、前記銀鍍金82を被覆するものである。図8 (A) の場合には樹脂が銀鍍金より後に塗布されるので高さが上昇するという短所があり、図8 (B) の場合には銀鍍金を被覆するとき樹脂が溶解され付着されて銀鍍金そのものが汚染されることができるといふ短所がある。しかし、このような二つの場合の各長・短所は前記リードフレームの電気的な特性そのものには殆ど相関のない設計者の選択によって決定される。

【0049】図8 (C) は銀鍍金された前記リードフレームの内部リード90と半導体チップ86のボンディングパッド87がワイヤ88によって電気的に連結されたことを示している。前記ボンディングワイヤ88として使用される金線銀鍍金された銀82と接続されるので、大部分の電流は表皮効果によって銀鍍金のみで流して合金42をリードフレームとして使用しながらも高い電気伝導度を得ることができる。

【0050】

【発明の効果】以上説明したように、第1の発明は、ダイパッドは少なくとも2個以上に分離されており、その分離された前記ダイパッドは非伝導性の結合手段によって機械的に結合されているので、ノイズを微少にして、半導体パッケージの信頼性を向上できる。

【0051】第2の発明は、前記非伝導性の結合手段はアクリル樹脂、エポキシ樹脂、シリコン樹脂またはポリイミド樹脂中のうちのいずれかであるので、分離されたダイパッドの分離効果を増大できる。

【0052】第4の発明は、前記ボンディングパッドと内部リードの電気的な連結はボンディングワイヤによって行なわれており、前記分離されたダイパッドの表面と前記内部リードの表面には前記内部リードの材質により

電気伝導性が高い金属膜が塗布されているので、大部分の電流は表皮効果によって銀鍍金のみで流して合金42をリードフレームとして使用しながらも高い電気伝導度を得ることができる。

【0053】第5の発明は、前記内部リードは合金42であり、前記金属膜は銀であるので、パッケージの亀裂を防止できる。

【0054】第6の発明は、前記接地電源端子と電源電圧端子は半導体チップのボンディングパッドにも連結されるので、外部電源端子から内部電源端子に入ってくる経路を多数個並列に連結されるようにすることによってノイズを減少させる効果がより増大される。

【0055】第7の発明は、前記分離されたダイパッドは少なくとも一つ以上の孔を有するので、リフロー工程を通じて半導体パッケージを印刷回路基板等を実装するとき吸湿による蒸気の膨脹に起因した応力を緩和してパッケージ亀裂を防止することができる。

【0056】第8の発明は、前記分離されたダイパッドの非伝導性の結合手段は積層形キャパシタであるので、前記リードフレームの製造工程の初期に願う容量値をもつように電極から突出された導体板の個数または間隔、重ねる部分の面積を調節してノイズを効果的に減らすことができる。

【0057】第9の発明は、前記非伝導性の結合手段はアクリル樹脂、エポキシ樹脂、シリコン樹脂またはポリイミド樹脂中のうちのいずれかであるので、分離されたダイパッドの分離効果を増大できる。

【図面の簡単な説明】

【図1】本発明による前記分離されたダイパッドを有する前記コーナーパワー型の前記半導体パッケージの一つの実施例を示した斜視図である。

【図2】図1の前記半導体パッケージに使用される前記分離されたダイパッドを有するリードフレームの平面図である。

【図3】本発明による前記分離されたダイパッドを有す



る前記センターパワー型の前記半導体パッケージの一つの実施例を示した斜視図である。

【図4】図3の前記半導体パッケージに使用される前記分離されたダイパッドを有する前記リードフレームの平面図である。

【図5】本発明による前記分離されたダイパッドを有する前記リードフレームとして複数個の貫通穴が形成されている前記リードフレームの平面図である。

【図6】図5の前記リードフレームを使用して前記半導体チップを外部電源端子と連結したときの等価回路図である。

【図7】本発明による前記分離されたダイパッドを有する前記リードフレームとして前記分離されたダイパッド間に積層キャパシターを差し込んだ前記リードフレームの斜視図および積層キャパシターの部分詳細図である。

【図8】(A)および(B)は電気伝導度を高めるために前記リードフレームの表面に銀を鍍金した断面図であり、(C)は表面に銀を鍍金した前記内部リードと半導体チップを電氣的に連結した断面図である。

【図9】従来技術によるコーナーパワー型の半導体パッケージの一つの実施例を示した斜視図である。

【図10】従来技術によるセンターパワー型の半導体パ

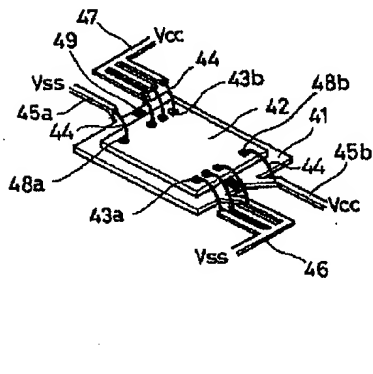
ッケージの他の実施例を示した斜視図である。

【図11】従来技術による分離されたダイパッドを有する前記半導体パッケージの断面図である。

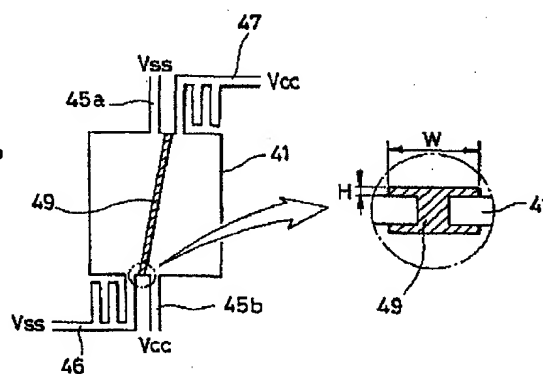
#### 【符号の説明】

- 41 分離されたダイパッド
- 42 半導体チップ
- 43, 48 ボンディングパッド
- 44 ボンディングワイヤ
- 45 タイバー
- 46, 47 内部リード
- 49 非伝導性樹脂
- 62 貫通穴
- $L_w$  ボンディングワイヤのインダクタンス成分
- $L_{DP}$  ダイパッドのインダクタンス成分
- $L_L$  リードフレームのインダクタンス成分
- C キャパシター
- 70 積層キャパシター
- 71, 72 電極
- 73 誘電体
- 75 分離されたダイパッド
- 80 リードフレーム
- 82 銀鍍金

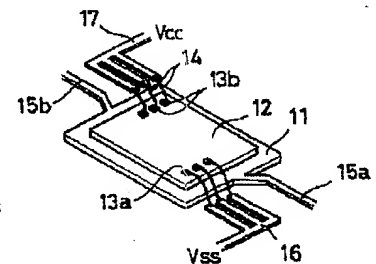
【図1】



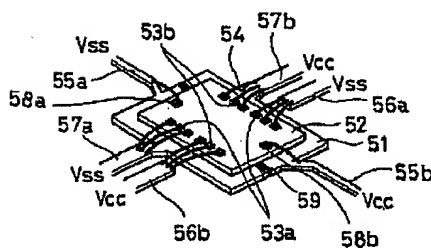
【図2】



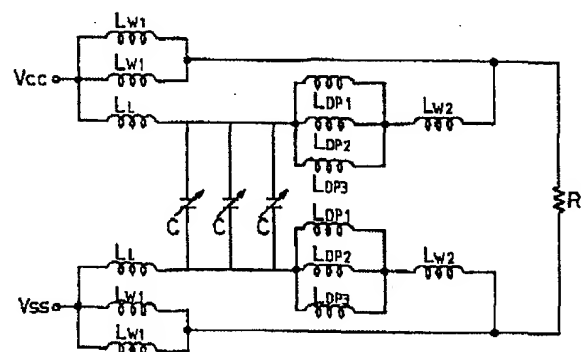
【図9】



【図3】

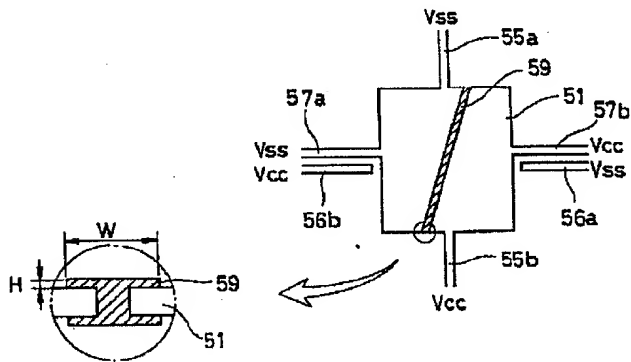


【図6】

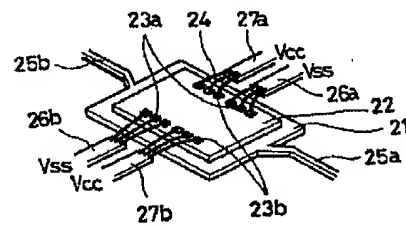




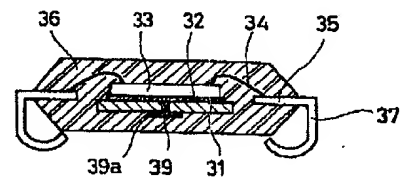
【図4】



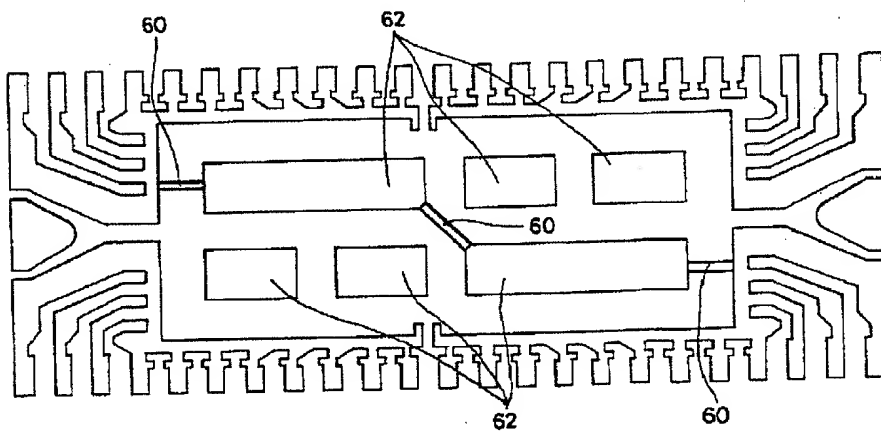
【図10】



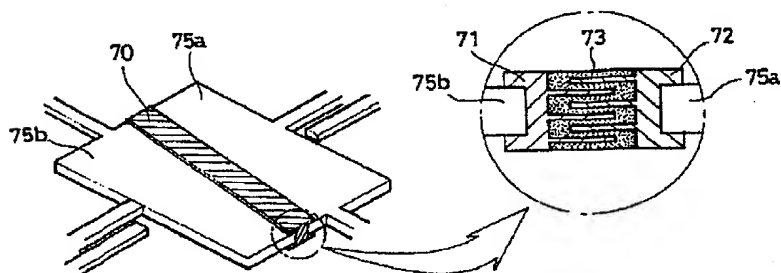
【図11】



【図5】



【図7】



【図8】

